

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-351818

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

G06F 13/36  
G06F 1/12  
G06F 13/42

(21)Application number : 2001-153343

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.05.2001

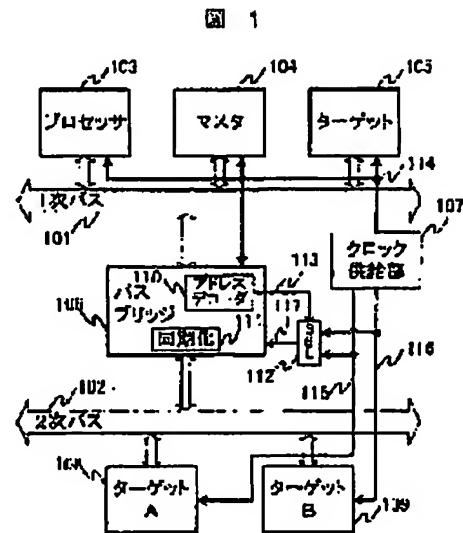
(72)Inventor : KOJIMA SETSUOKO  
NONOMURA ITARU

## (54) BUS CONTROL SYSTEM

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve transfer efficiency in a system equipped with at least two layers of buses by eliminating synchronizing circuit of target device which is to be a transfer target by making a master device connected with one side of bus capable of changing a clock synchronizing signals depending on the transfer destination of the output data.

**SOLUTION:** A function for decoding a transfer destination address is set up at a bus bridge which delivers a transfer from a primary bus to a secondary bus. The number of times of synchronization occurring at one time of transfer is reduced by eliminating synchronization circuits inside of a transfer destination device through selecting dynamically a clock synchronizing a signal line which outputs in accordance with the result of decoding. Furthermore, a function to select the clock to synchronize the signal to be outputted to the secondary bus inside of an arbiter which adjusts transfer requirement of the secondary bus and a plurality of masters become connectable to the secondary bus without setting up the synchronization circuit inside the device of transfer destination.



## LEGAL STATUS

[Date of request for examination]

13.08.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-351818  
(P2002-351818A)

(43)公開日 平成14年12月6日(2002.12.6)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
G 0 6 F 13/36	3 1 0	G 0 6 F 13/36	3 1 0 E 5 B 0 6 1
1/12		13/42	3 5 0 B 5 B 0 7 7
13/42	3 5 0	1/04	3 4 0 A

審査請求 未請求 請求項の数6 O L (全 10 頁)

(21)出願番号 特願2001-153343(P2001-153343)

(22)出願日 平成13年5月23日(2001.5.23)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小嶋 節子

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72)発明者 野々村 到

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(74)代理人 100075096

弁理士 作田 康夫

Fターム(参考) 5B061 FF01 GG02

5B077 AA18 FF11 GG16 GG32

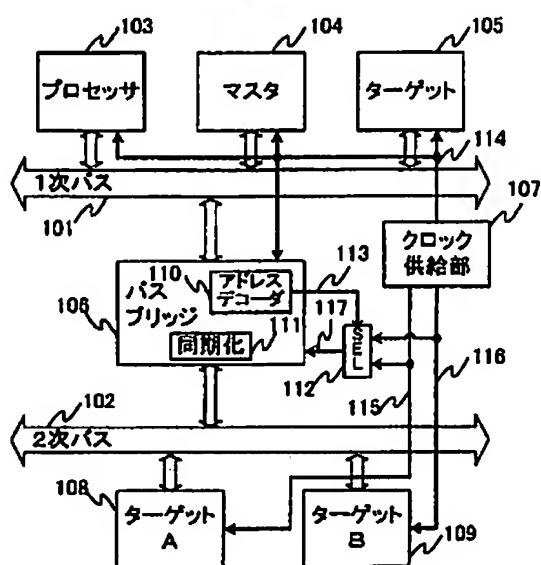
(54)【発明の名称】 バス制御システム

(57)【要約】

【課題】少なくとも2階層のバスを備えるシステムにおいて、一方のバスに接続されたマスタデバイスが、出力するデータの転送先によって信号を同期するクロックを変更可能にすることで、転送先となるターゲットデバイスの同期化回路を削除し、転送効率を向上する。

【解決手段】1次バスから2次バスへ転送を伝えるバスブリッジに、転送先アドレスをデコードする機能を設け、その結果で出力する信号線を同期化するクロックを動的に選択することにより、転送先のデバイス内部の同期化回路を削除し、1回の転送で発生する同期化の回数を減少させる。さらに、2次バスの転送要求を調停するアービタの内部に、2次バスに出力する信号を同期化すべきクロックを選択する機能を設け、転送先のデバイス内部に同期化回路を設けることなく、複数マスタを2次バスに接続可能にする。

図 1



## 【特許請求の範囲】

【請求項1】 少なくとも2種類のクロック同期式バスである1次バスと2次バスと、該2種類のバスを結ぶバスブリッジと、該1次バスに接続される転送要求を出力する少なくとも1種類のクロック同期式マスタデバイス1と、該2次バスに接続される互いに周波数または周期の異なるクロックで動作し転送要求を受信する少なくとも2種類のクロック同期式ターゲットデバイスと、該マスタデバイス1と該ターゲットデバイスと該バスブリッジにクロックを供給するクロック供給部を備えるシステムにおいて、該バスブリッジ内部に、該マスタデバイスからの転送要求の転送先を検出するアドレスデコーダと、該アドレスデコーダで検出された転送先の該ターゲットデバイスを示すターゲットデバイス選択信号を出力する手段と、該1次バスのクロックで動作する信号を該2次バスのクロックで、該2次バスのクロックで動作する信号を該1次バスのクロックで同期化する同期化回路とを備え、該ターゲットデバイス選択信号により該2種類のターゲットデバイスのクロックを選択して該2次バスのクロックとして該同期化回路に入力するクロック選択部を備えることを特徴とするバス制御システム。

【請求項2】 請求項1のバス制御システムにおいて、該2次バスに出力される信号がデータの転送先によって異なるクロックに同期していることを特徴とするバス制御システム。

【請求項3】 少なくとも1種類のバスと、該バスに接続される少なくとも2種類のクロック同期式マスタデバイスと、該バスに接続される互いに周波数または周期の異なるクロックで動作し転送要求を受信する少なくとも2種類のクロック同期式ターゲットデバイスと、該マスタデバイスと該ターゲットデバイスにクロックを供給するクロック供給部と、該2種類のターゲットデバイスの動作クロックのうち1つを該バスの動作クロックとして選択するクロック選択部を備えるシステムにおいて、該2種類のマスタデバイスが出力する転送要求を調停し、バス使用許可を該2種類のマスタデバイスに交互に与えると同時に、バス使用許可を与えられた該マスタデバイスの希望する動作クロックを該バスの動作クロックとして選択する機能を備え、異なるクロックに同期した信号が2次バス上で衝突しないように転送要求を調停することを特徴とするバスアービタ。

【請求項4】 請求項1のバス制御システムにおいて、該2次バスに接続される少なくとも1種類のマスタデバイス2を備え、該バスブリッジと該マスタデバイス2の転送要求を調停する請求項3のバスアービタを備えることを特徴とするバス制御システム。

【請求項5】 該2次バスに接続される、該2次バスの動作クロックのみで動作する少なくとも1種類のマスタデバイス2を備える、請求項1のバス制御システムにおいて、該バスアービタから出力される該マスタデバイス

2に対する転送許可信号を、該マスタデバイス2が希望する該2次バスの動作クロックに同期して出力することを特徴とする請求項3のバスアービタを備えるバス制御システム。

【請求項6】 請求項3のバスアービタと、該2次バスに接続され、内部レジスタ設定により転送要求を出力するような該2次バスの動作クロックのみで動作する少なくとも1種類のマスタデバイス2を備える、請求項1のバス制御システムにおいて、該マスタデバイスが発行する予定の該2次バスの動作クロック要求と同じクロックで該2次バスを動作させ、該マスタデバイスの該内部レジスタ設定を行うことを特徴としたバス制御システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数の異なる周波数で動作するバスを有する計算機システムのバス制御に関する。

## 【0002】

【従来の技術】プロセッサに高速な動作周波数を必要とするシステムにおいて、プロセッサや記憶装置等を接続する高速プロセッサバスとは別に周辺装置等を接続する比較的低速のバスを用意し、プロセッサバスに接続するデバイス数を低減することで、プロセッサバスの動作周波数の高速化を実現する方法がある。複数のデバイスを接続するバスはクロック同期式のバスが一般的であるが、上記低速バスに接続されるデバイスは、機能面でも最大動作周波数の面でも多様化しており、単一の周波数を持つクロック同期式バスに複数のデバイスを接続するためには、デバイスの動作クロックをバスクロックと同一にするか、デバイス側に同期化回路を設ける方式が取られる。一般には、接続するデバイスを各々の最大周波数で動作させることができるため、同期化回路を設ける方式の方がシステム全体の性能が良いとされる。

【0003】デバイス側に同期化回路を設けた、バスの階層構造を有するシステムの一構成例を図2に示す。図2において、101は同期式1次バス、102は1次バス101とは異なる周波数で動作する同期式2次バス、103は1次バス101に接続されているプロセッサ、104は1次バス101に接続されている転送要求を出力するマスタデバイス、105は1次バス101に接続されている転送要求を受信するターゲットデバイス、106は1次バス101で発生した転送要求を2次バス102のデバイスに伝えるバスブリッジ、107は各デバイスにクロックを供給するクロック供給部、108は2次バス102に接続され、クロックAで動作するターゲットデバイスA、109は2次バス102に接続され、クロックBで動作するターゲットデバイスB、114は1次バス1が動作するクロックX、201は2次バス102が動作するクロックY、115はターゲットデバイスA108が動作するクロックA、116はターゲット

デバイスB109が動作するクロックBである。ここで、クロックX114、クロックY201、クロックA115、クロックB116はそれぞれ独立で周波数の異なるクロックであり、4種類のクロックの中でクロックX114が一番周波数が高いと仮定する。また、111は、1次バス101が動作するクロックX114に同期した信号を2次バス102が動作するクロックY201に、2次バス102が動作するクロックY201に同期した信号を1次バス101が動作するクロックX114にそれぞれ同期化するための同期化回路、202はクロックY201に同期した信号をクロックA115に、クロックA115に同期した信号をクロックY201にそれぞれ同期化する同期化回路、203はクロックY201に同期した信号をクロックB116に、クロックB116に同期した信号をクロックY201にそれぞれ同期化する同期化回路である。ターゲットデバイスA108やターゲットデバイスB109のように、接続するバスの動作クロックと異なるクロックで動作しているデバイスは、同期化回路202、203を備え、それぞれのデバイスの動作クロックで動作する信号をバスクロックY201で同期化して出力、および、入力したバスクロックY201に同期している信号をそれぞれのデバイスの動作クロックで同期化して使用する必要がある。

【0004】次に、1次バス101上のプロセッサ103から、2次バス102上のターゲットデバイスA108へのデータ転送の流れを、図2を使用して説明する。プロセッサ103で発生した転送要求は、転送先をターゲットデバイスA108に特定して1次バス101上に発行される。転送を受け取ったバスブリッジ106は、2次バス102に転送を伝達するため、1次バス101から入力した信号を同期化回路111で同期化する。同期化回路111を通ることで、信号は2次バス102の動作クロックY201に同期化され、2次バス102上に発行される。2次バス102では、転送先となるターゲットデバイスA108がその転送を受信し、受け取った信号をクロックA115で動作するよう同期化回路112に通して同期化する。

【0005】図2のようなシステムでは、各ターゲットデバイスが同期化回路を持たなくてはならないことで論理規模や消費電力が増大する上、各ターゲットデバイスとバスブリッジ両方の同期化回路を通る際に発生するレイテンシにより転送効率の低下が生じる。これらの課題を解決する一手段として、異なる動作周波数を持つデバイスを同一のバスに接続する特開平6-83770号公報記載の方式が考えられる。特開平6-83770号公報記載の方式では、動作周波数の異なる複数のデバイスがアドレスバスとデータバスを共有している場合に、各デバイスの動作周波数に同期したコマンドを生成するコマンド生成回路をデバイス毎に設け、各デバイスにコマンドを送付した後、デバイスからのデータ送受信終了信

号を受け取り転送を終了する、という手順で転送が行われる。この方式を使用すれば、一度のアドレス出力で一種類のデータのみを送受信する単純なプロトコルを持つバスを2次バスとして採用した場合には、デバイス側の同期化回路を削除することが可能である。

#### 【0006】

【発明が解決しようとする課題】従来方式では、複雑なプロトコルを持つバスを2次バスとして採用すると、2次バスに接続されたデバイスのクロックの種類の分だけ制御線の同期化回路を設ける必要があるため、バスブリッジの同期化回路の規模が大きくなり、信号線もデバイス毎に1組ずつ持たなくてはならないためにバスブリッジのインタフェース信号の本数も増大する。さらに、アドレスとデータを同一信号線を用いて、決められたタイミングで切り替えるようなプロトコルを持つバスを2次バスとして採用した場合には、アドレス・データ線も各デバイスのクロックに同期して出力する必要があるため、バスブリッジは、バスの全信号をクロック周波数の種類分だけ、インタフェース信号として持たなければならない。

【0007】本発明の目的は、2次バスとして複雑なプロトコルを持つバスを選択しても、バスブリッジ側の同期化回路とインタフェース信号の本数を増大させることなく、異なる周波数で動作するデバイスの接続を可能にし、論理規模、消費電力を低減して転送効率を向上させることにある。

#### 【0008】

【課題を解決するための手段】本発明では、上記の目的を解決するため、バスブリッジからのクロック選択信号により、2次バスに接続されている数種類のデバイスの動作クロックから2次バスの動作クロックを選択するクロック選択部を設け、クロック選択部から出力されたクロックで同期化した信号をバスブリッジから送出する機能を備える。また、複数マスタに対応した2次バスにおいても、転送要求の調停と同時に2次バスのクロック選択を行うバスアービタを設け、同期化回路を用いずターゲットデバイスの2次バスへの接続を可能にする。ここでバスブリッジ以外のマスタデバイスとしては、独自の動作クロックを持たないマスタデバイスと、独自の動作クロックを持つマスタデバイス、双方に対応する。ターゲットデバイスの同期化回路を不要にすることで、論理規模の低減、転送効率の向上が実現される。

#### 【0009】

【発明の実施の形態】本発明の第一の実施例を図1を用いて説明する。図1において、110は1次バス101から入力されたアドレスをデコードするアドレスデコーダ、112はクロックA115とクロックB116を選択するクロックセレクタ、113はアドレスデコーダ110で転送先として特定されたターゲットデバイスの動作クロックを示すクロック選択信号、117はクロック

セクタ112で選択された同期化回路用クロックである。第一の実施例では、周波数の異なるクロックで動作する2つ以上のターゲットデバイスを、同一のバスに接続し、ターゲットデバイス内部に同期化回路を備えることなく実現するバス制御システムを示している。

【0010】バスブリッジ106には、図2の従来例と同様にクロック供給部107より2系統のクロックが入力されているが、本実施例では、2次バス102の動作クロックの代わりにクロックセクタ112で選択された同期化回路用クロック117が使用されている。また、2次バス102に接続されているターゲットデバイスには、各デバイスの動作クロック、1系統のみが入力され、同期化回路は削除されている。2次バス102には規定の動作クロックはなく、データの転送先がターゲットデバイスA108の場合にはクロックA115に、転送先がターゲットデバイスB109の場合にはクロックB116に、それぞれ同期した信号をバスブリッジ106が出力することにより、ターゲットデバイスの同期化回路なしでの2次バス102上のデータ転送を可能にしている。

【0011】バスブリッジ106は、2次バス102上に出力する信号を同期するクロックを、発生した転送毎に動的に変化させる必要があるため、1次バス101から入力されたアドレスをアドレスデコーダ110でデコードして転送先のターゲットを特定し、その結果をクロックセクタ112に送ることで、どちらのクロックに信号を同期化するかを選択する。

【0012】1次バス101上のプロセッサ103から、2次バス102上のターゲットデバイスA108へのデータ転送の流れを、図1を使用して説明する。プロセッサ103で発生した転送要求は、転送先をターゲットデバイスA108に特定して1次バス101上に発行される。転送を受け取ったバスブリッジ106は、受け取った転送のアドレスをデコードし、2次バス上のターゲットデバイスA108、ターゲットデバイスB109のどちらに対する転送なのかを判定する。判定の結果、プロセッサ103からの転送がターゲットデバイスA108への転送と判明すると、バスブリッジ106から出力する信号をクロックA115で同期化するために、判定結果をクロックセクタ112へクロック選択信号113として出力する。クロックセクタ112では、クロック選択信号113の値に従い、クロックA115を同期化回路用クロック117として選択する。クロック選択信号113は、2次バス102上の転送が終了するまで一定の値に保たれる。バスブリッジ106では、アドレスデコーダ110の判定結果をクロックセクタ112に出力する一方、2次バス102に転送を伝達するため、1次バス101から入力した信号を同期化回路111で同期化する。以上の流れで、2次バス102にはクロックAに同期した信号が出力され、転送先として指

定されたターゲットデバイスA108が転送を受信する。転送先がターゲットデバイスB109の場合も同様の転送手順となる。

【0013】クロックセクタ112におけるクロックの切り替えタイミングと、1次バス101から入力された信号の同期化の関係について、図3、図4を用いて説明する。図3は、バスブリッジ106の1次バス101から入力された信号を同期化する同期化回路111の周辺のブロック図、図4はそのタイミングチャートである。

図3において、301はクロックX114の立ち上がりエッジで動作するフリップフロップ、302、303はクロックA115の立ち上がりエッジで動作するフリップフロップ、304はクロックX114に同期している1次バス101からバスブリッジ106に入力される信号1(X)、305はフリップフロップ301から出力された信号2(X)、306はフリップフロップ302から出力された信号3(A)、307はフリップフロップ303から2次バス102に出力された信号4(A)である。図4において、X1からX9はクロックX114の時間、A1からA6はクロックA115の時間である。ここで、クロックX114、クロックA115、クロックB116は、それぞれ異なる周波数と位相を持つクロックであるとする。

【0014】図4のタイムチャートで、X4で変化した信号2(X)305は、A3のクロックA115の立ち上がりエッジでフリップフロップ302に取り込まれる。A3では、信号2(X)305の状態変化の発生時刻とクロックA115の立ち上がりエッジ発生時刻が極めて接近しているため、フリップフロップ302が信号2(X)305の状態変化をうまく取り込めず、出力された信号3(A)306はA4で不確定状態(メタステーブル状態)に陥っている。このメタステーブル状態を除去するために1クロック間の時間を置き、信号3(A)306は、A5のクロックA115の立ち上がりエッジで、もう1段のフリップフロップ304に入力され、クロックA116に同期した信号4(A)307が生成される。

【0015】本実施例1において、バスブリッジ106の同期化回路111で使用されるクロックは、クロックA115とクロックB116を選択した同期化回路用クロック117である。この同期化回路用クロック117の切り替わりタイミングは、クロックX114に同期したアドレスをデコードした結果得られたクロック選択信号113の状態変化のタイミングであるが、クロックX114、クロックA115、クロックB115は周波数や位相が異なるクロックであるため、切り替わりタイミング前後の同期化回路用クロック117の立ち上がりエッジ間の時間は保証されない。

【0016】アドレスが、信号1(X)304と同じX3のタイミングでバスブリッジに入力されるとすると、

アドレスデコーダ110を通して生成したクロック選択信号113は、信号1(X)304よりも状態変化が遅れる。信号1(X)304に対して同期化を始めるとすれば、クロック選択信号113により選択された同期化回路用クロック117の立ち上がりエッジが発生しているX3で、状態変化した値がフリップフロップ302に取り込まれる。ここで、フリップフロップ302の出力信号がメタステーブル状態になったと仮定すると、同期化回路用クロック117の次の立ち上がりエッジであるA3までの時間、Tckの間にメタステーブル状態を脱ししないと、フリップフロップ303でメタステーブル状態を除去することができない。前述のように、同期化回路用クロック117の切り替えタイミング前後では、クロックの立ち上がりエッジ間の時間は保証されないため、Tckが非常に短くなり、フリップフロップ302の出力信号がメタステーブル状態を脱することができない可能性がある。

【0017】そこで、正常に同期化を行うために、同期化する信号をクロック選択信号113よりも遅いタイミングで同期化回路に入力する必要がある。図3、図4の例では、入力信号1(X)113をクロックX114で動作するフリップフロップ301に入力し、状態変化を1クロック分遅延させてから同期化回路111に入力している。

【0018】同期化回路111に入力するクロックを選択することのない従来方式では、フリップフロップ301は必要ないため、バスブリッジ106のみのレイテンシを考えれば大きくなる。しかしシステム全体でみれば、クロックX114はクロックA115やクロックB116と比較して動作周波数が高いと考えられるので、ターゲットデバイスA108やターゲットデバイスB109の同期化回路を削除したことで短縮した遅延時間の方が、クロックX114で動作するフリップフロップ301の通過時間よりも充分大きく、本方式を採用したことによる効果に影響はないと言える。

【0019】次に、2次バス102にバスブリッジ106以外のマスタデバイスが接続されている場合の実施例2を図5を使用して説明する。実施例2で2次バス102に新たに接続されたマスタデバイスは、単一クロックで動作し、動的なクロック変化が可能なデバイスと仮定する。そのようなデバイスの例としては、レジスタを設定することで転送要求を発行するDMAコントローラ等がある。図5において、501は2次バス102に接続された転送要求を発行するマスタデバイス、502は複数のバス使用者を調停するバスアービタ、503はバスブリッジ106からバスアービタ502に出力されるバスブリッジ転送要求、504はバスアービタ502からバスブリッジ106に出力されるバスブリッジ転送許可信号、505はマスタデバイス501からバスアービタ502に出力されるマスタ転送要求、506はバスアー

ビタ502からマスタデバイス501に出力されるマスタ転送許可信号、507はクロック選択信号である。ここで、503と504の転送要求信号が出力されると同時に、クロック選択信号もバスアービタ502に対して出力されるものとする。

【0020】複数マスタを接続可能なバスにはバス使用者の調停を行う機構が必要であるが、実施例2では、バスアービタ502はバス使用者の調停だけでなく、クロック選択信号の出力も行う。図5において、2次バス102に接続された転送要求を発行する2つのデバイスであるバスブリッジ106とマスタデバイス501は、バスアービタ502に対して転送要求だけではなく、どのクロックで動作させるかを指定するクロック選択信号を出力する。

【0021】バスアービタ502は、2次バス102で転送を開始できるデバイスを選択して、そのデバイスに転送許可信号504、506を送信すると同時に、選択されたデバイスが発行しているクロック選択信号を、クロックセクタ112に出力し、バス権を取ったデバイスが要求する周波数のクロックを選択する。バスアービタ502では、バス使用権の切り替えタイミングでクロックも切り替えるため、切り替えの前後で、何らかの方法を用いてバス衝突やメタステーブルが発生するのを防がなくてはならない。そこで実施例2では、バスアービタ502でクロック切り替えタイミングを操作する機構を導入する方式と、バスブリッジ106でクロックを操作する方式を採用する。

【0022】まずバスアービタ502においてクロック切り替えタイミングを操作する方式を、図6のバスアービタ502詳細図と図7のバス調停タイミングチャートを用いて説明する。図6において、601はバスブリッジ106が同期化回路用クロック117を選択するために出力するバスブリッジクロック選択信号、602はマスタデバイス501が同期化回路用クロック117を選択するために出力するマスタデバイスクロック選択信号、603はバス権が与えられたデバイスのクロック選択信号を選ぶクロック選択信号セクタ、604は1次バス101のクロックX114に同期して出力される信号であるバスブリッジ転送要求503をバスアービタ502の動作クロックである同期化回路用クロック117に同期化する同期化回路、605は同期化回路604で同期化された同期化後バスブリッジ転送要求、606は同期化後バスブリッジ転送要求605とマスタ転送要求505を受け取り、任意の優先順位決定方法によってどちらのデバイスにバス権を与えるかを決定する優先順位判定部、607は優先順位判定部606で判定された結果であるバスブリッジ選択信号、608は2次バス102の制御信号、609は制御信号606を用いて2次バス102が使用中でないことを検出するバスアイドル検出部、610はバスアイドル検出部607の結果である

バス極切り替えタイミング信号、バスブリッジ選択信号607をバス極切り替えタイミング信号610がアサートしたときに取り込み、611はバスブリッジ転送許可信号を生成するフリップフロップ、612はインバータ、613はインバータ612で反転後の信号、614はマスタ転送許可信号506をマスタデバイス501が要求するクロック周波数で同期化する同期化回路である。また図7において、A1からA5はクロックA115の時間、B1からB6はクロックB116の時間、701は図6の同期化回路610の内部信号で、同期化のため2段用意されたフリップフロップのうち、1段目のフリップフロップの出力信号である。

【0023】バスアービタ502でバスの調停が行われる手順を説明する。バスブリッジ106からの転送要求信号503は、同期化回路604において同期化回路用クロック117に同期化されてから、すでに同期化回路用クロックに同期している117マスタデバイス501からの転送要求信号505は直接、優先順位判定部606に入力される。優先順位判定部606では、任意の優先順位判定アルゴリズムにより、どちらの転送要求の優先度が高いかを判定し、バスブリッジ106が選択されたときにアサートされるバスブリッジ選択信号607を出力する。

【0024】同時に、バスアイドル検出部607では、2次バス102の制御信号608を観測し、2次バス102が使用中であるかを監視、使用中でない場合はバス極切り替えタイミング信号610をアサートする。バスブリッジ選択信号607は、バス極切り替えタイミング信号610がアサートされているときのクロックの立ち上がりでフリップフロップ611に取り込まれ、バスブリッジ転送許可信号504が生成される。マスタ転送許可信号506は、バスブリッジ転送許可信号504の反転である。

【0025】本実施例2の前提として、マスタデバイス501を、レジスタを設定することにより転送要求が発生するデバイスと仮定している。そのようなデバイスは、通常データを転送する準備が整ってから転送要求を発行するため、マスタデバイス501は、転送要求に対する転送許可信号506を受信すると、同期化回路を通すことなく次の同期化回路用クロック117の立ち上がりエッジでバス出力動作を開始できる。よってバスアービタ502は、同期化回路が存在しないマスタデバイス501へのマスタ転送許可信号506を、マスタデバイス501が要求するクロックに同期させて出力しなくてはならない。一方でバスブリッジ106は、転送要求503を発行してバス極を獲得した後、信号を同期化回路111に通して2次バス102に出力するため、バスブリッジ転送許可信号504がクロックに同期している必要はなく、バスアービタ502でバスブリッジ転送許可信号504を同期化すると2重に同期化することにな

る。そこで、図6にあるように、バスブリッジ転送許可信号504はフリップフロップ611の出力をそのまま使用し、マスタ転送許可信号506はフリップフロップ611の出力をインバータ612で反転後、その信号612を同期化回路614でクロック切り替え後の同期化回路用クロック117に同期化して出力することで、同期化の重複を避ける。

【0026】バス極をバスブリッジ106からマスタデバイス501に切り替える際のタイミングの詳細を、図7のタイミングチャートに示す。A1で、バスブリッジ106が2次バス102でクロックA115に同期して転送中に、マスタデバイス501が転送要求503を発行している。ここで、マスタデバイス501は、ターゲットデバイスB109に対する転送を要求しており、クロックB116で動作することを希望しているとする。A1でバスブリッジ106の転送が終了し、A2のクロックA115の立ち上がりでバスブリッジ106が転送要求503を下げる。同時に、2次バス102が未使用状態になるので、バス極切り替えタイミング信号610がアサートされる。A3のクロックA115の立ち上がりで、バスブリッジ転送許可信号504がネゲートされ、クロック選択信号507として、マスタデバイス501から出力されたマスタデバイスクロック選択信号602が選択される。クロック選択信号507の切り替わり後、同期化回路用クロック117がクロックA115からクロックB116に切り替わる。バスブリッジ転送許可信号504は、クロックの切り替わりタイミングであるA3のクロックA115の立ち上がりでネゲートされているため、その反転信号をそのままマスタデバイス501への転送許可信号506として使用しては、マスタデバイス501が要求する動作クロックであるクロックB116とは非同期の信号になってしまう。そこで、B4のクロックB116の立ち上がりで、バスブリッジ転送許可信号504の反転信号613の値が、同期化1段目フリップフロップに取り込まれ、B5のクロックB116の立ち上がりで、同期化1段目フリップフロップからの出力信号701の値が同期化2段目フリップフロップに取り込まれることで、クロックB116に同期したマスタ転送許可信号506が生成される。

【0027】次に、バスブリッジ106でクロックを操作する方式について説明する。実施例2で用いられるマスタデバイス501は、プロセッサ103によってレジスタが設定されることにより転送要求505が発行されるため、どのターゲットに対してマスタデバイス501が転送要求505を発行するのか、転送要求発行前にプロセッサ103が把握しているはずである。そこで本方式では、マスタデバイス501にレジスタアクセスに行く際のクロックとして、転送要求505を発行時に選択される予定のクロックを選択して転送を行うよう、バスブリッジ106内部に設定できるような機構を設ける。



このような機構の例としていくつかの方法が考えられる。一つは、バスブリッジ106内部に発行する転送の動作クロックを設定する専用レジスタを設けて、マスタデバイス501のレジスタを設定する転送を発行する前に設定し、その専用レジスタの値をクロック選択信号として出力する方法である。もう一つは、マスタデバイス501の転送要求503発行時のアドレスをマスタデバイス501内部のレジスタに設定する際に、そのアドレスの設定値をデコードする機構をバスブリッジ106内部に設け、クロック選択信号を決定する方法である。こうしてマスタデバイス501のレジスタアクセス時にクロックを選択しておけば、マスタデバイス501が転送要求505を発行する際にはクロックの切り替えが発生しないため、バスアービタ502がマスタ転送許可信号506を出力する際の同期化回路を設ける必要がなくなり、バスの調停にかかる時間を短くできる。

【0028】さらに、実施例3として、2次バス102に接続されたデバイスが、外部1/0や他のバスに接続されているため独自の動作クロックを持っている場合を挙げ、図8を用いて説明する。図8において、801は2次バス102とのインタフェース以外に、外部とのインタフェースを持つマスタデバイス、802はマスタデバイス801に接続されている外部1/0、803は外部1/0802からのアドレスデコーダ、804は外部1/0802からの入力信号を同期化回路用クロック117に、2次バス102からの入力信号を外部1/0802の動作クロックにそれぞれ同期化する同期化回路、805はマスタデバイス801と外部1/0802が動作するクロックC、806はバスブリッジ106とマスタデバイス801から転送要求を受け取ってバスの調停をするバスアービタである。

【0029】実施例3では、マスタデバイス801が独自の動作クロックであるクロックC805を持っているため、実施例1におけるバスブリッジ106と同様の機能を設ける必要がある。すなわち、外部1/0802からの入力されたアドレスを、アドレスデコーダ803でデコードし、バスアービタ806にマスタ転送要求505と共に出力し、マスタ転送許可信号506を受け取った時点で、同期化回路804においてクロックC805で動作する信号を同期化回路用クロック117に同期化する。

【0030】実施例3のバスアービタ806の内部構成を図9に示す。図9において、901はマスタデバイス801の動作クロックであるクロックC805に同期して出力される信号であるマスタ転送要求505をバスアービタ502の動作クロックである同期化回路用クロック117に同期化する同期化回路、902は同期化回路901で同期化された同期化後マスタ転送要求である。マスタデバイス801に同期化回路804が存在するため、マスタ転送許可信号506は、フリップフロップ6

11で生成されたバスブリッジ転送許可信号504を反転ただけで出力される。マスタデバイス801が独自のクロックで動作していても、2種類のターゲットデバイスには同期化回路は必要ない。

#### 【0031】

【発明の効果】本発明によれば、階層的バス構造を持つシステムにおいて、1次バス（高速プロセッサバス）と2次バス（周辺装置等を接続する比較的低速のバス）を結ぶバスブリッジが、データの2次バス上の転送先によって、出力する信号を同期させるクロックを選択できるような機構を設けることで、転送先になるターゲットデバイスの同期化回路を排除し、論理規模や消費電力が低減でき、転送効率も向上する。また、2次バス上にバスの調停以外に、各マスタが出力するデータを同期させるクロックの選択を行うバスアービタを設けることにより、ターゲットデバイスに同期化回路を持たせずに、2次バスへの複数マスタ接続を可能にする。さらに、2次バス上に接続されるバスブリッジ以外のマスタデバイスが独自の動作クロックを持たない場合には、そのマスタデバイス内部の同期化回路も削除することができる。

#### 【図面の簡単な説明】

【図1】本発明の第一の実施例の構成図である。

【図2】従来の実施例の構成図である。

【図3】バスブリッジ内部の同期化回路の構成図である。

【図4】図3の信号線のタイミングを示すタイミングチャートである。

【図5】本発明の第二の実施例の構成図である。

【図6】第二の実施例におけるバスアービタの構成図である。

【図7】図6のバスアービタにおけるバス調停のタイミングチャートである。

【図8】本発明の第三の実施例の構成図である。

【図9】第三の実施例におけるバスアービタの構成図である。

#### 【符号の説明】

101…同期式1次バス、102…1次バスとは異なる周波数で動作する同期式2次バス、103…1次バスに接続されているプロセッサ、104…1次バスに接続されている転送要求を出力するマスタデバイス、105…1次バスに接続されている転送要求を受信するターゲットデバイス、106…1次バスで発生した転送要求を2次バス102のデバイスに伝えるバスブリッジ、107…各デバイスにクロックを供給するクロック供給部、108…2次バスに接続され、クロックAで動作するターゲットデバイスA、109…2次バスに接続され、クロックBで動作するターゲットデバイスB、110…1次バスから入力されたアドレスをデコードするアドレスデコーダ、112…クロックAとクロックBを選択するクロックセクタ、113…クロックAとクロックBのど



13

ちらを選択するかを示すクロック選択信号、117…クロックセクタで選択された同期化回路用クロック、114…1次バスが動作するクロックX、115…ターゲットデバイスAが動作するクロックA、116…ターゲットデバイスBが動作するクロックB、111…バスブリッジ内部の同期化回路、201…2次バスが動作するクロックY、202…ターゲットA内部の同期化回路、203…ターゲットB内部の同期化回路、301…クロックXの立ち上がりエッジで動作するフリップフロップ、302、303…クロックAの立ち上がりエッジで動作するフリップフロップ、304…バスブリッジに入力されるクロックXに同期している信号1(X)、305…フリップフロップ301から出力された信号2

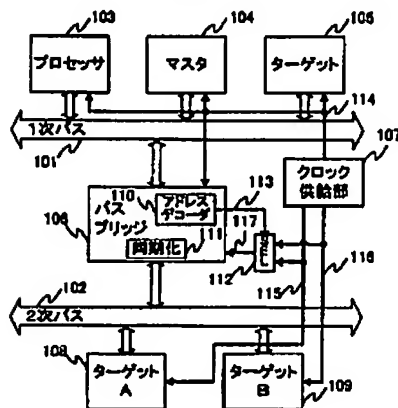
(X)、306…フリップフロップ302から出力された信号3(A)、307…フリップフロップ303から2次バスに出力された信号4(A)、501…2次バスに接続された転送要求を発行するマスタデバイス、502…複数のバス使用者の調停をするバスアービタ、503…バスブリッジからバスアービタ502に出力されるバスブリッジ転送要求、504…バスアービタ502からバスブリッジに出力されるバスブリッジ転送許可信号、505…マスタデバイス501からバスアービタ502に出力されるマスタ転送要求、506…バスアービタ502からマスタデバイス501に出力されるマスタ転送許可信号、507…クロック選択信号、601…バスブリッジが同期化回路用クロックを選択するために出力するバスブリッジクロック選択信号、602…マスタデバイス501が同期化回路用クロックを選択するために出力するマスタデバイスクロック選択信号、603…バス権が与えられたデバイスのクロック選択信号を選ぶクロック選択信号セクタ、604…クロックXに同期して出力される信号であるバスブリッジ転送要求を同期

14

化回路用クロックに同期化する同期化回路、605…同期化回路604で同期化された同期化後バスブリッジ転送要求、606…同期化後バスブリッジ転送要求とマスタ転送要求を受け取り、任意の優先順位決定方法によってどちらのデバイスにバス権を与えるかを決定する優先順位判定部、607…優先順位判定部で判定された結果であるバスブリッジ選択信号、608…2次バスの制御信号、609…制御信号を用いて2次バスが使用中でないことを検出するバスアイドル検出部、610…バスアイドル検出部の結果であるバス権切り替えタイミング信号、611…バスブリッジ転送許可信号を生成するフリップフロップ、612…インバータ、613…インバータで反転した後の信号、614…マスタ転送許可信号をマスタデバイス501が要求するクロック周波数で同期化する同期化回路、701…同期化回路614の内部信号で、同期化のため2段用意されたフリップフロップのうち、1段目のフリップフロップの出力信号、801…2次バスとのインタフェース以外に、外部とのインタフェースを持つマスタデバイス、802…マスタデバイス801に接続されている外部I/O、803…外部I/Oからのアドレスデコーダ、804…マスタデバイス801内部の同期化回路、805…マスタデバイス801が動作するクロックC、806…バスブリッジとマスタデバイス801から転送要求を受け取ってバスの調停をするバスアービタ、901…クロックCに同期して出力される信号であるマスタ転送要求505を同期化回路用クロック117に同期化する同期化回路、902…同期化回路901で同期化された同期化後マスタ転送要求、X1~X9…クロックX114の時間、A1~A6…クロックA115の時間、B1~B6…クロックB116の時間。

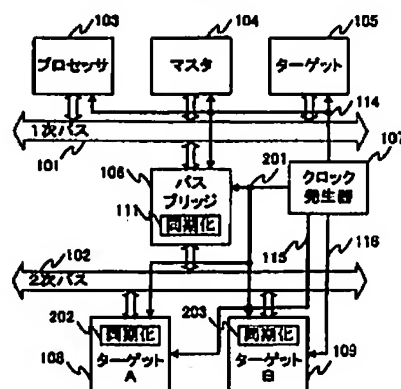
【図1】

図 1



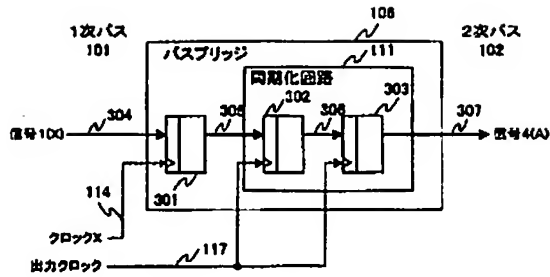
【図2】

図 2



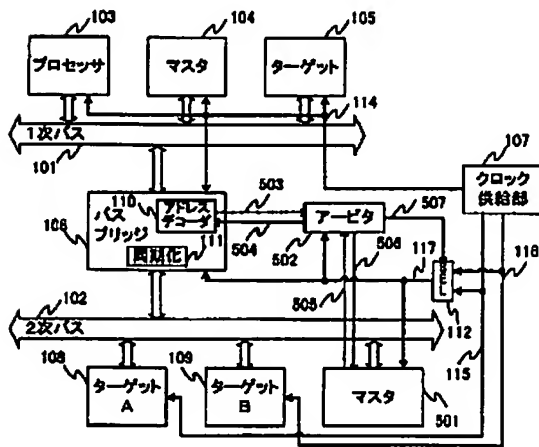
【図3】

図 3



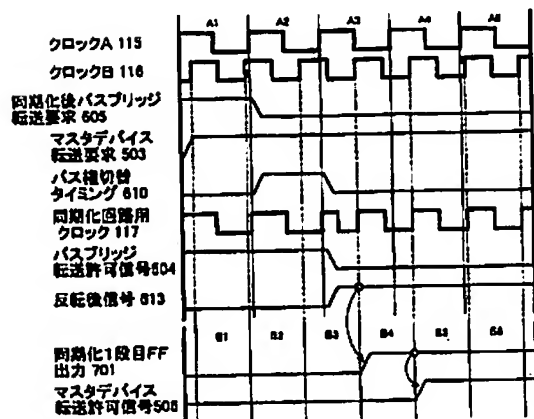
【図5】

図 5



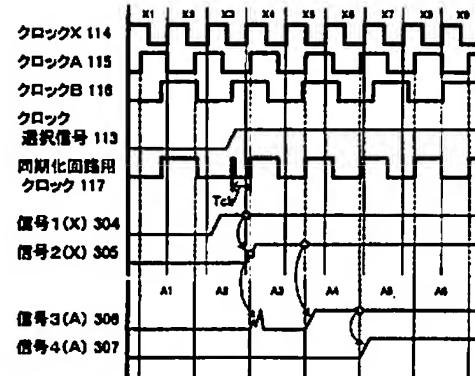
【図7】

図 7



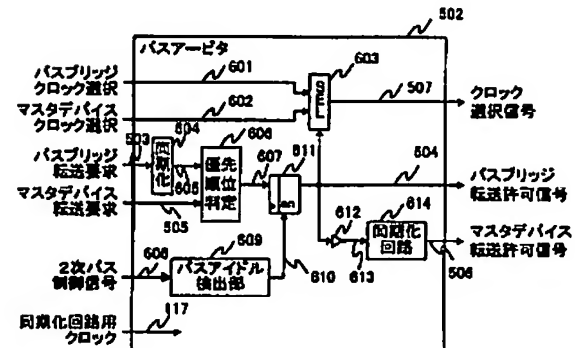
【図4】

図 4



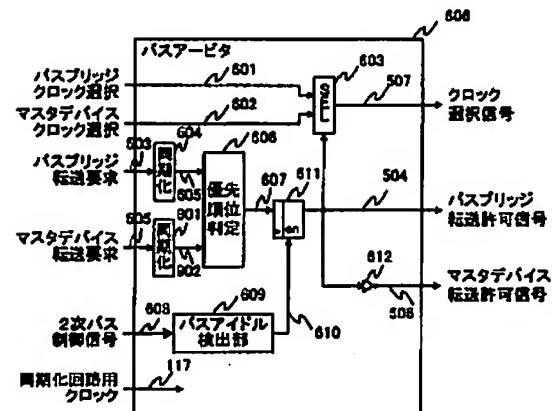
【図6】

図 6



【図9】

図 9



【図8】

図 8

